

#4
Priority Papers
1117.40737X00

JC971 U.S. PRO
09/981903



10/19/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: SCHETELIG, et al.

Filed: October 19, 2001

For: METHOD AND DEVICE FOR IDENTIFYING A DATA PACKET IN A
DATA STREAM

CLAIM FOR PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

October 19, 2001

Sir:

Under the provisions of 35 USC §119 AND 37 CFR § 1.55, Applicants hereby
claim the right of priority based on Patent Application No. 100 51 889.3 filed in Germany
on October 19, 2000.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Carl I. Brundidge
Registration No. 29,621

1300 North Seventeenth Street
Suite 1800
Arlington, VA 22209
Tel.: 703-312-6600
Fax: 703-312-6666
CIB/alb

1117.40737X00



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: SCHETELIG, et al

Serial No.: 09/981,903

Filing Date: October 19, 2001

For: METHOD AND DEVICE FOR IDENTIFYING A DATA PACKET IN A DATA STREAM

Attention: Box Missing Parts

LETTER CLAIMING RIGHT OF PRIORITY

Assistant Commissioner
for Patents
Washington, D.C. 20231

December 4, 2001

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, applicants hereby claim the right of priority based on:

German Application No. 100 51 889.3
Filed: October 19, 2000

A Certified Copy of said application documents are attached hereto.

Respectfully submitted,

Carl I. Brundidge
Registration No. 29,621
ANTONELLI, TERRY, STOUT & KRAUS, LLP

Enclosures
703/312-6600

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

CERTIFIED COPY OF
PRIORITY DOCUMENT

Aktenzeichen: 100 51 889.3

Anmeldetag: 19. Oktober 2000

Anmelder/Inhaber: Nokia Mobile Phones Ltd., Espoo/FI

Bezeichnung: Verfahren und Vorrichtung zum Erkennen eines
Datenpakets in einem Datenstrom

IPC: H 04 L 1/20

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 25. Oktober 2001
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

AGW

TER MEER STEINMEISTER & PARTNER GbR

PATENTANWÄLTE - EUROPEAN PATENT ATTORNEYS

Dr. Nicolaus ter Meer, Dipl.-Chem.
Peter Urner, Dipl.-Phys.
Gebhard Merkle, Dipl.-Ing. (FH)
Bernhard P. Wagner, Dipl.-Phys.
Mauerkircherstrasse 45
D-81679 MÜNCHEN

Helmut Steinmeister, Dipl.-Ing.
Manfred Wiebusch

Artur-Ladebeck-Strasse 51
D-33617 BIELEFELD

Case: NC 32001 DE

Ur/Wa/as

19.10.2000

Nokia Mobile Phones Ltd.

**Keilalahdentie 4
02150 Espoo
Finnland**

Verfahren und Vorrichtung zum Erkennen eines Datenpakets in einem Datenstrom

Beschreibung

- 1 Die Erfindung betrifft ein Verfahren und eine Vorrichtung zum Erkennen eines Datenpaketes in einem Datenstrom.

Bei digitalen Kommunikationssystemen, die auf dem TDMA (time division multiple access; Vielfachzugriff im Zeitmultiplex) basieren, wie beispielsweise Systemen, die nach dem sogenannten Bluetooth-Standard arbeiten, müssen Sender und Empfänger synchronisiert sein, bevor Daten übertragen werden können. Ein herkömmliches Synchronisationsverfahren besteht darin, daß der Sender eine digitale Sequenz also eine Sequenz von einzelnen Bits entsprechenden Symbolen sendet, die dem Empfänger bekannt ist. Der Empfänger muß nun nach dieser Sequenz suchen, und wenn er die Sequenz zeitlich und mit ihrer genauen Lage im Frequenzband feststellt, ist die Synchronisation erfolgreich abgeschlossen.

15 Auf der Empfängerseite muß hierzu zunächst festgestellt werden, ob ein Datenpaket vorliegt oder nicht, und wenn ein Datenpaket erkannt wurde, muß der Daten- oder Symboltakt wiedergewonnen werden. Beim Erkennen des Datenpaketes, das mit hoher Genauigkeit erfolgt, wird jedoch der Datentakt oder das Timing nur grob abgeschätzt. Auf der anderen Seite 20 erfolgt die Wiedergewinnung des Daten- oder Symboltaktes zwar mit hoher Präzision für gültige Datenpakete, setzt aber voraus, daß das Datenpaket bereits erfolgreich detektiert wurde.

Für ein digitales Kommunikationssystem, das nach dem Bluetooth-Standart arbeitet und bei dem eine binäre, gaußförmige Frequenzmodulation mit niedrigem Modulationsindex (Schmalbandsfrequenzmodulation) benutzt wird, bestünde ein optimaler Datenpaketdetektor aus einem Korrelator, der die Wellenform eines empfangenen, demodulierten, digitalen Eingangssignals mit einer erwarteten Wellenform vergleicht und einen 30 entsprechenden Korrelationswert berechnet. Der berechnete Korrelationswert entspräche dann dem Grad der Ähnlichkeit zwischen der empfangenen und der erwarteten Wellenform. Abgesehen davon, daß ein derartiger Korrelator nur mit hohem Kosten- und Schaltungsaufwand zu realisieren wäre, besteht das Hauptproblem darin, daß die erwartete Wellen-

1 form nicht hinreichend definiert werden kann, da sie aufgrund von
Schaltungstoleranzen von Sender zu Sender und von Empfänger zu
Empfänger variiert. Daneben treten auch bei einem Sender und einem
5 Empfänger Wellenformänderungen auf, die sich durch Störungen bei der
Übertragung ergeben. Eine zuverlässige Korrelation von empfangener
Wellenform mit einer erwarteten Wellenform ist somit praktisch nicht
möglich.

Während die erwartete Wellenform praktisch nicht zu definieren ist, ist die
10 erwartete Bitfolge im Empfänger vollständig bekannt.

Bei einer bekannten Senderempfängervorrichtung (WO 00/18150) für ein
digitales Kommunikationssystem wird daher ein von einer Antenne
empfangenes Funksignal im Empfängerkreis demoduliert, um ein digita-
15 les Eingangssignal zu erzeugen. Dieses digitale Eingangssignal wird einem
Synchronisationskreis zugeführt, der das Eingangssignal gleitend mit ei-
nem erwarteten Zugriffscode vergleicht, um das Datenpaket zu akzeptie-
ren wenn der empfangene Zugriffscode gleich dem erwarteten Zugriffscode
ist. Ansonsten wird das empfangene Eingangssignal abgewiesen.

20 Um einen Bit für Bit Vergleich zwischen einem digitalen Eingangssignal
und einem erwarteten Zugriffscode oder Synchronisationswort zu ermög-
lichen, wird bei einem herkömmlichen Verfahren jedem einem Bit entspre-
chenden Symbol im Eingangssignal der entsprechende Bitwert dadurch
25 zugeordnet, daß die Signalhöhe des Eingangssignals für jedes Symbol mit
einem Schwellenwert verglichen wird, der einem geschätzten oder voraus-
sichtlichem Gleichspannungsanteil entspricht. Aufgrund von Systempa-
rameterschwankungen, wie Trägerfrequenzabweichung und Demodula-
tormittenfrequenzabweichung weist das resultierende demodulierte
30 Signal eine große unbekannte Gleichspannungsanteilüberlagerung auf,
die zu berücksichtigen ist.

Da der tatsächliche Gleichspannungsanteil für jedes Datenpaket unter-
schiedlich ist, kann eine genaue Gleichspannungsanteilabschätzung erst

1 begonnen werden, wenn der Empfänger beginnt ein gewünschtes Datenpaket tatsächlich zu empfangen. Daher weisen Datenpakete, die in digitalen Kommunikationssystemen verwendet werden, die nach dem DECT-Standard für digitale Nabenzellenanlagen oder dem IEEE 802.11-Standard für drahtlose lokale Netzwerke arbeiten, eine lange Anfangssequenz auf, die keinen eigenen Gleichspannungsanteil besitzt, bei denen also die übertragenen Symbole eine ausgeglichene Polarität aufweisen. Eine derartige Sequenz kann beispielsweise abwechselnd aus 0 und 1 bestehen. Somit läßt sich eine genaue Gleichspannungsanteilabschätzung durch
5 einfache Tiefpaßfilterung des demodulierten Eingangssignals durchführen.
10

Bei Standards, die nur eine kurze Anfangssequenz mit ausgeglichener Polarität fordern, wie beispielsweise der Bluetooth-Standard, bei dem nur
15 garantiert wird, daß die ersten vier Symbole Gleichspannungsanteilfrei sind, läßt sich eine derartige Gleichspannungsanteilabschätzung mittels einfacher Tiefpaßfilterung nicht durchführen.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren und eine Vorrichtung zum Erkennen eines Datenpakets in einem Datenstrom bereitzustellen, das bzw. die selbst dann eine zuverlässige Datenpaketerkennung ermöglicht, wenn die Anfangssequenz eines Datenpakets ohne eigenen
20 Gleichspannungsanteil nur wenige Symbole umfaßt.

25 Diese Aufgabe wird durch das Verfahren nach Anspruch 1 und die Vorrichtung nach Anspruch 10 gelöst. Vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung sind in den jeweiligen Unteransprüchen beschrieben.

30 Zum Erkennen eines Datenpakets in einem Datenstrom ist also vorgesehen, daß der Gleichspannungsanteil für ein demoduliertes, digitales Eingangssignal berechnet wird, daß dem Eingangssignal ein k-Bit-Wort zugeordnet wird, indem für jedes einem Bit entsprechende Symbol des Eingangssignals ein Bitwert 1 oder 0 in Abhängigkeit vom Gleichspannungs-

- 1 anteil bestimmt wird, daß das dem Eingangssignal entsprechende k-Bit-Wort mit einem erwarteten k-Bit-Synchronisationswort verglichen wird, um einen Korrelationswert zu bestimmen, und daß ein Paketerkennungs-signal erzeugt wird, wenn der Korrelationswert größer als ein Korrela-
5 tionsschwellenwert ist.

Ein Grundgedanke der vorliegenden Erfindung ist es also, daß jedesmal, wenn dem Eingangssignal ein k-Bit-Wort zugeordnet wird, angenommen wird, daß das erwartete k-Bit-Synchronisationswort bereits vollständig
10 empfangenen wurde, selbst wenn dies noch nicht der Fall sein kann, so daß für die Berechnung des Gleichspannungsanteils geeignete Bereiche aus der erwarteten Symbolfolge, also aus dem erwarteten Synchronisa-tionswort ausgewählt werden können, um für die Berechnung des Gleich-spannungsanteils verwendet zu werden. Hierfür wird die empfangene de-
15 modulierte Wellenform des Eingangssignals in Form ihrer Abtastwerte in einer Verzögerungsleitung mit niedriger Überabtastungsrate und geringer Auflösung gespeichert. Die zeitliche Länge der Verzögerungsleitung ist da-bei so, daß die gesamte Symbolfolge, die für die Datenpaketerkennung benutzt wird, darin gespeichert werden kann. Die Verzögerungsleitung ist
20 also in der Lage, das gesamte erwartete Bitsynchronisationswort zu spei-chern.

Die Bewertung der Symbole, also die Zuordnung der Bitwerte 1 oder 0 zu
einem Symbol, wird dabei ebenso wie die Berechnung des Gleichspan-nungsanteils fortlaufend für die gesamte als Wellenform gespeicherte
25 Symbolsequenz wiederholt, wobei jeweils der aktuell berechnete Gleich-spannungsanteil berücksichtigt wird. Nur wenn die gewünschte Symbol- oder Bitfolge tatsächlich vollständig in der Verzögerungsleitung gespei-chert ist, stimmt der berechnete Gleichspannungsanteil genau mit der tat-
30 sächlichen Gleichspannungsüberlagerung des Eingangssignals überein, so daß als Folge hiervon den gespeicherten Symbolen genau die Bitwerte zugeordnet werden, die ursprünglich gesendet wurden. Das dem Ein-gangssignal zugeordnete k-Bit-Wort stimmt dann praktisch vollständig mit dem k-Bit-Synchronisationswort überein, so daß der Empfang eines

- 1 Datenpakets zuverlässig erkannt wird und der Gleichspannungsanteil für die Bewertung der Symbole genau ermittelt ist.

Ein weiterer Vorteil des erfindungsgemäßen Verfahrens besteht darin, daß
5 durch die Wahl eines geeigneten Korrelationsschwellenwertes gezielt er-
reicht werden kann, daß sowohl die Anzahl von tatsächlich übertragenen,
aber zurückgewiesenen Datenpaketen (FRR := frame rejection rate) als
auch die Anzahl von vermeintlich empfangenen Datenpaketen (FAR := fal-
se alarm rate) klein gehalten werden kann.

10

Eine vorteilhafte Ausgestaltung zeichnet sich dadurch aus, daß das Ein-
gangssignal abgetastet wird, um eine dem Eingangssignal entsprechende
Folge von Abtastwerten zu erzeugen, und daß aus einer ausgewählten An-
zahl von Abtastwerten der Gleichstromanteil des Eingangssignals berech-
15 net wird, wobei der Gleichspannungsanteil des Eingangssignals nach je-
der Abtastung des Eingangssignals zumindest solange neu berechnet
wird, bis der durch Vergleich des dem Eingangssignal entsprechenden k-
Bit-Worts mit einem erwarteten k-Bit-Synchronisationswort ermittelte
Korrelationswert größer als ein Korrelationsschwellenwert ist. Hierdurch
20 wird es ermöglicht, das erfindungsgemäße Verfahren auf besonders effi-
ziente Weise in einem Kommunikationssystem zu implementieren.

Um zu verhindern, daß eine hohe Nebenmodulation, die ein Überschreiten
der Korrelationsschwelle bewirkt, zum vorzeitigen Erzeugen eines Paket-
25 erkennungssignals und damit zu einem fehlerhaften Erkennen eines Da-
tenpaket führt, ist bei einer vorteilhaften Weiterbildung der Erfindung
vorgesehen, daß nach dem Erzeugen eines Paketerkennungssignals der
entsprechende Korrelationswert gespeichert und die Abtastung des Ein-
gangssignals, die Berechnung des Gleichspannungsanteils sowie der Ver-
30 gleich des dem Eingangssignal entsprechenden k-Bit-Worts mit einem er-
warteten k-Bit-Synchronisationswort zum Ermitteln des Korrelationswert
noch für eine vorgebbare Zeitdauer fortgesetzt wird, und daß nochmals ein
Paketerkennungssignal erzeugt wird, wenn ein erneut ermittelter Korrela-
tionswert größer als der Korrelationsschwellenwert und größer als der zu-

1 vor ermittelte, gespeicherte Korrelationswert ist.

- Auf diese Weise wird die zuverlässige Datenpaketerkennung sichergestellt, da nach einem ersten Erkennen eines Datenpaketes noch für eine gewisse Zeit überprüft wird, ob nicht doch noch eine bessere Korrelation zwischen dem dem Eingangssignal entsprechenden k-Bit-Wort und dem Synchronisationswort auftritt, die dann als zutreffende Datenpaketerkennung gewertet wird. Wird erneut ein Paketerkennungssignal erzeugt, so wird auch der zu diesem Zeitpunkt vorliegende Wert des Gleichspannungsanteils übernommen, während der vorherige Wert dafür verworfen wird. Die vorgebbare Zeitdauer kann dabei entsprechend den jeweiligen Anforderungen an die Zuverlässigkeit, die Datenübertragungsgeschwindigkeit und den Implementierungsaufwand programmiert werden.
- 15 Bei einer weiteren zweckmäßigen Weiterbildung der Erfindung ist vorgesehen, daß zum Bestimmen des dem Eingangssignal entsprechenden k-Bit-Worts, das Eingangssignal abgetastet wird, um eine dem Eingangssignal entsprechende Folge von Abtastwerten zu erzeugen, und daß jedem Abtastwert einer ausgewählten Vielzahl von Abtastwerten in Abhängigkeit vom Gleichspannungsanteil des Eingangssignals ein Bitwert 1 oder 0 zugeordnet wird.

Grundsätzlich ist es denkbar, daß Eingangssignal so abzutasten, daß für jedes Symbol des Eingangssignals, also für jeden einem Bit entsprechenden Abschnitt des Eingangssignals im Durchschnitt nur z. B. 1,5 oder 1,7 Abtastwerte vorliegen. Dies hat jedoch zur Folge, daß für einige Symbole zwei Abtastwerte vorliegen, während für andere Symbole nur ein Abtastwert ermittelt wird. Hierdurch kann es jedoch häufiger zu Fehlern bei der Zuordnung des Bitwertes 1 oder 0 zu einem Symbol kommen, insbesondere wenn ein für die Zuordnung verwendeter Abtastwert im Übergangsreich zwischen zwei Symbolen liegt. Um hier die Zuverlässigkeit des erfindungsgemäßen Verfahrens zu erhöhen, ist nach einer vorteilhaften Weiterbildung der Erfindung vorgesehen, daß das Eingangssignal mit einer Frequenz f_{sample} abgetastet wird, die so gewählt ist, daß die Abtastrate

1 wenigstens gleich dem Zweifachen der Symbolfrequenz f_{symb} ist, daß also für jedes Symbol wenigstens zwei Abtastwerte ermittelt werden, und daß zum Bilden des dem Eingangssignal entsprechenden k-Bit-Worts jeweils nur ein Abtastwert pro Symbol ausgewählt wird.

5

Dabei ist es zweckmäßig, die Abtastwerte zum Bilden des dem Eingangssignal entsprechenden k-Bit-Worts so aus der Folge von Abtastwerten auszuwählen, daß die ausgewählten Abtastwerte innerhalb der Folge jeweils im wesentlichen den gleichen Abstand voneinander haben.

10

Durch den im wesentlichen gleichen Abstand der Abtastwerte innerhalb der gespeicherten Folge von Abtastwerten wird erreicht, daß immer wieder Abtastwerte für die Bestimmung des Bitwertes des Symbols verwendet werden, die dem zentralen Bereich des Symbols zugeordnet sind, so daß eine zuverlässige Datenpaketerkennung sichergestellt ist. Wenn also beispielsweise zu einem Zeitpunkt zur Zuordnung des k-Bit-Wortes zum Eingangssignal Abtastwerte verwendet werden, die im Randbereich der Symbole liegen, so werden, je nach Größe der Abtastrate, bei der nächsten oder übernächsten Zuordnung des k-Bit-Wortes zum Eingangssignal 20 Abtastwerte verwendet, die den zeitlich mittleren Bereichen der Symbole entsprechen sind.

Bei einer anderen Weiterentwicklung der Erfindung ist vorgesehen, daß die Anzahl von Abtastwerten zum Berechnen des Gleichspannungsanteils 25 des Eingangssignals so gewählt wird, daß die Abtastwerte Bereichen im erwarteten k-Bit-Synchronisationswort entsprechen, die im wesentlichen die gleiche Anzahl von Bits mit dem Wert "0" wie von Bits mit dem Wert "1" aufweisen, und daß der Gleichspannungsanteil als Mittelwert der Abtastwerte berechnet werden kann, wobei die Anzahl von Abtastwerten zum Berechnen des Gleichspannungsanteils aus zumindest einer Gruppe von unmittelbar aufeinander folgenden Abtastwerten besteht, die mehreren aufeinander folgenden Symbolen entsprechen.

Hierbei ist es besonders vorteilhaft, wenn die Anzahl von Abtastwerten

- 1 zum Berechnen des Gleichspannungsanteils aus zwei Gruppen von Abtastwerten besteht, die durch eine Vielzahl von Abtastwerten von einander getrennt ist.
- 5 Das erfindungsgemäße Verfahren zum Erkennen von Datenpaketen in einem Datenstrom lässt sich besonders vorteilhaft mit einer Vorrichtung ausführen, die eine Verzögerungsleitung mit einer Anzahl von Speicherplätzen, in denen Abtastwerte eines demodulierten digitalen Eingangssignals seriell gespeichert werden; eine Gleichspannungsanteil-Ermittlungsschaltung, die mit der Verzögerungsleitung verbunden ist, um einen Gleichspannungsanteil des Eingangssignals als Mittelwert einer ausgewählten Anzahl von Abtastwerten zu berechnen; eine mit der Verzögerungsleitung und der eine Gleichspannungsanteil-Ermittlungsschaltung verbundene Dekodierschaltung, die eine Vielzahl von Abtastwerten mit dem Gleichspannungsanteil vergleicht, um jedem Abtastwert einen Bitwert 0 oder 1 zuzuordnen und so ein dem Eingangssignal entsprechendes k-Bit-Wort zu bilden; eine Vergleichs- und Korrelationsberechnungsschaltung, die das dem Eingangssignal entsprechende k-Bit-Wort mit einem erwarteten k-Bit-Synchronisationswort vergleicht und einen Korrelationswert für das dem Eingangssignal entsprechende k-Bit-Wort berechnet, und eine Korrelationswertvergleichsschaltung aufweist, die den von der Vergleichs- und Korrelationsberechnungsschaltung gelieferten Korrelationswert mit einem Korrelationsschwellenwert vergleicht, um ein Paketerkennungssignal zu liefern, wenn der Korrelationswert größer oder gleich 20 dem Korrelationsschwellenwert ist.

Zweckmässigerweise entspricht dabei die Anzahl von Speicherplätzen der Tiefe y der Verzögerungsleitung der Anzahl von Bits im Synchronisationswort multipliziert mit der Überabtastrate, also mit der Anzahl der Abtastwerte je Symbol. Jeder Speicherplatz der Verzögerungsleitung kann also y Bits und damit ein y -Bit-Wort speichern, das einem digitalisierten Abtastwert eines Symbols entspricht.

Vorteilhaft ist es ferner, wenn die Dekodierschaltung eine Vielzahl von

- 1 Vergleichskreisen umfaßt, an die jeweils der Gleichspannungsanteil angelegt ist und von denen jeder mit einem dem Speicherplätze der Verzögerungsleitung verbunden ist, um den jeweiligen Abtastwert mit dem Gleichspannungsanteil zu vergleichen und einen Bitwert 1 oder 0 zu ermitteln, so
- 5 daß am Ausgang der Dekodierschaltung das dem Eingangssignal entsprechende k-Bit-Wort anliegt.

Eine besonders vorteilhafte Weiterbildung der erfindungsgemäßen Vorrichtung zeichnet sich dadurch aus, daß die Gleichspannungsanteil-

- 10 10 Ermittlungsschaltung zumindest einen Addierkreis und eine über ein Halteglied mit dem Ausgang des Addierkreises verbundene Dividierschaltung aufweist, wobei ein Eingang des Addierkreises mit einem ersten Speicherplatz der Verzögerungsleitung und ein anderer Eingang mit einem zweiten Speicherplatz der Verzögerungsleitung verbunden ist, der durch
- 15 15 eine Vielzahl von Speicherplätzen vom ersten Speicherplatz getrennt ist, wobei der Eingang, der mit dem zweiten Speicherplatz verbunden ist, negiert oder invertiert ist, und der Ausgang des Addierkreises über das Halteglied an einen dritten Eingang zurückgeführt ist, so daß bei jeder Addition das Ergebnis der vorhergehenden Addition mit addiert wird, wobei die
- 20 20 vom Haltekreis gelieferte Summe in der Dividierschaltung durch einen dem Abstand der beiden Speicherplätze entsprechende Wert geteilt wird, um den Gleichspannungsanteil zu berechnen, und wobei vorzugsweise zwei mit Speicherplätzen der Verzögerungsleitung verbundene Addierkreise vorgesehen sind, deren Ausgangssignale über einen weiteren Addierkreis an die Dividierschaltung geliefert werden. Der erste Speicherplatz braucht dabei nicht notwendigerweise der erste Speicherplatz der Verzögerungsleitung zu sein.

- Vorteilhaft ist es ferner, wenn die mit der Dekodierschaltung und einem
- 30 30 das erwartete k-Bit-Synchronisationswort speichernden Register verbundene Vergleichs- und Korrelationsberechnungsschaltung neben einer Vielzahl von Vergleichskreisen zum Vergleichen des von der Dekodierschaltung gelieferten, dem Eingangssignal entsprechenden k-Bit-Wort mit dem k-Bit-Synchronisationswort ein Korrelationsglied aufweist, das für jedes

- 1 übereinstimmende Bit-Paar eine Eins aufaddiert, um den Korrelationswert zu berechnen.

Die Erfindung wird im folgenden beispielsweise anhand der Zeichnung
5 näher erläutert. Es zeigen:

Fig. 1 eine schematische Darstellung eines digitalen Kommunikationssystems mit einer Hauptstation und zumindest einer Neben- oder untergeordneten Station,

10

Fig. 2 ein schematisches Blockschaltbild einer empfangsseitigen Eingangsschaltung einer Station des digitalen Kommunikationssystems,

15

Fig. 3 ein schematisches vereinfachtes Blockschaltbild einer Gleichspannungsanteil-Ermittlungsschaltung für eine erfindungsgemäße Vorrichtung zum Erkennen von Datenpaketen in einem Datenstrom,

20

Fig. 4 ein schematisches vereinfachtes Blockschaltbild einer Korrelationsberechnungsanordnung für eine erfindungsgemäße Vorrichtung zum Erkennen von Datenpaketen in einem Datenempfangsstrom und

25

Fig. 5 ein vereinfachtes schematisches Blockschaltbild einer Korrelationswertvergleichsschaltung für eine erfindungsgemäße Vorrichtung zum Erkennen von Datenpaketen in einem Datenempfangsstrom.

In den verschiedenen Figuren der Zeichnung sind einander entsprechende Bauteile mit gleichen Bezugszeichen versehen.

Wie in Fig. 1 rein schematisch angedeutet ist, besteht ein digitales

30

Kommunikationssystem beispielsweise aus einer Haupt- oder Basisstation 10 und zumindest einer Unter- oder Nebenstation 11. Die Hauptstation 10 und die Nebenstation stehen über Übertragungskanäle 12, 13 miteinander in Verbindung, um miteinander Daten auszutauschen. Die Hauptstation 10 kann dabei beispielsweise ein zentrales Steuersystem

1 sein, das mit einem oder mehreren Peripheriegeräten, die die Unter- oder
Nebenstationen 11 darstellen, über diese Kanäle 12, 13 kommuniziert, um
die Peripheriegeräte zu steuern und/oder mit diesen Daten auszutau-
schen. Zum Beispiel kann als zentrales Steuengerät oder -system ein Mo-
5 biltelefon vorgesehen sein, daß über Funkkanäle mit einer Mikrofon-Laut-
sprechereinheit in Verbindung steht. Ferner kann als Hauptstation auch
ein PC (Personal Computer) dienen, der über Funkkanäle 12, 13 mit Peri-
pheriegeräten, wie Drucker, Scanner und gegebenenfalls auch mit einer
Tastatur und einer Maus Daten austauscht, so daß auf störende Kabel
10 weitgehend verzichtet werden kann.

Empfangsseitig weisen sowohl die Haupt- als auch die Nebenstation 10, 11
- wie in Figur 2 gezeigt ist - einen Empfangs- und Demodulationskreis 14
auf, der das von einer Antenne 15 empfangene Signal demoduliert und ein
15 digitales, demoduliertes Eingangssignal S_{in} für eine Empfangsschaltung
16 liefert, die das Eingangssignal S_{in} in eine empfangenen Datenpa-
ket entsprechende Bitfolge umsetzt. Um der Empfangsschaltung 16 anzu-
zeigen, ob ein empfangenes Signal einem Datenpaket für die entsprechen-
de Station entspricht oder nicht, ist eine Vorrichtung 17 zum Erkennen
20 von Datenpaketen in einem Datenempfangstrom vorgesehen, die im fol-
genden der Einfachheit halber kurz als Paketdetektor 17 bezeichnet wird,
vorgesehen. Der Paketdetektor 17 empfängt an seinem Eingang 18 das
Eingangssignal S_{in} und liefert ein Paketerkennungssignal p_d an die Emp-
fangsschaltung 16.

25 Wie in Figur 3 und 4 gezeigt ist, weist der Paketdetektor 17 einen
Eingangskreis 19 auf, mit dessen Hilfe die Datenwortlänge x im Eingangs-
signal S_{in} an eine erwartete Datenwortlänge y und die Abtastrate angepaßt
werden. Ein Ausgang 20 des Eingangskreises 19 ist mit einem Eingang 21
30 einer Verzögerungsleitung 22 verbunden. Von einer Abtastsignalleitung
23 wird über Zweigleitungen 23', 23'' ein Abtastsignal mit einer Abtastfre-
quenz f_{sample} an einen Takteingang 24 der Verzögerungsleitung 22 und
an einen Abtastschalter 25 des Eingangskreises 19 geführt, um das
Eingangssignal S_{in} mit der vorgesehenen Abtastfrequenz f_{sample} abzu-

- 1 tasten und die abgetasteten Signalwerte als Abtastwerte h_i in die Verzögerungsleitung 22 zu übernehmen.

Die Verzögerungsleitung 22 weist n Speicherplätze 22.i mit der Tiefe y auf.

- 5 Die Anzahl n der Speicherplätze 22.i entspricht dabei der Anzahl k der Bits eines erwarteten Synchronwortes multipliziert mit einer Überabtastrate s_r , die die durchschnittliche Anzahl von Abtastwerten h_i pro Symbol des Eingangssignals S_{in} angibt.

- 10 Um den Gleichspannungsanteil dc des Eingangssignals S_{in} ermitteln zu können, ist - wie in Figur 3 gezeigt ist - eine Gleichspannungsanteil-Ermittlungsschaltung 30 vorgesehen, die zumindest eine, vorzugsweise jedoch zwei Addierschaltungen 31, 32 zur Berechnung einer ersten und einer zweiten Fenstersumme aufweist. Unter Fenstersumme wird hier die Summe aller Abtastwerte h_i verstanden, die in den Speicherplätzen 22.m₁ bis 22.(m₂-1) bzw. 22.m₃ bis 22.(m₄-1) gespeichert sind. Da mit jedem Abtasttakt ein neuer Abtastwert h_0 in den ersten Speicherplatz 22.0 der Verzögerungsleitung 22 übernommen wird, während alle anderen Abtastwerte h_i jeweils um einen Speicherplatz weiter geschoben werden, ändert sich die Fenstersumme bei mit jedem Abtasttakt, entsprechend den jeweils gespeicherten Werten. Hierbei ist zu beachten, daß der erste Speicherplatz 22.m₁ nicht notwendigerweise der erste Speicherplatz der Verzögerungsleitung 22 sein muß.
- 15
- 20
- 25
- 30

- 1 kreis 35, der die Summe der beiden Fenstersummen berechnet, ist an eine Dividierschaltung 36 geführt, die die anliegende Summe der beiden Fenstersummen durch die Anzahl der in den beiden Fenstern aufsummierten Abtastwerte, also durch $(m_2 - m_1 + m_4 - m_3)$ dividiert, um den den Gleichspannungsanteil der berücksichtigten Eingangssignalabschnitte darstellenden Mittelwerte der Abtastwerte zu berechnen und ein entsprechendes Ausgangssignal an eine Dekodierschaltung 37 (siehe Fig. 4) zu liefern, die eine Vielzahl von gespeicherten Abtastwerten h_i mit dem Gleichspannungsanteil dc vergleicht, um jedem der Abtastwerte eine Bitwert 0 oder 1 zuzuordnen und so ein dem Eingangssignal S_{in} entsprechendes Bitwort zu bilden.

Für die Berechnung des Gleichspannungsanteils dc kann auch jede andere geeignete Schaltungsanordnung benutzt werden, die es ermöglicht, den Mittelwert einer Vielzahl von Abtastwerten innerhalb eines ausgewählten Fensterbereichs fortlaufend zu berechnen, durch den die Abtastwertfolge kontinuierlich hindurch geschoben wird, so daß der Berechnungsbereich für die Mittelwertbildung über die Abtastwertfolge gleitet. Insbesondere kann auch eine Kammfilterschaltung verwendet werden.

- 20 Die beiden Fensterbereiche, also die Speicherplätze 22. m_1 bis 22.($m_2 - 1$) und 22. m_3 bis 22.($m_4 - 1$) für die der Mittelwert der Abtastwerte h_i berechnet wird, werden dabei vorteilhafterweise in Abhängigkeit von dem zu erwartenden Synchronisationswort so gelegt, daß sie mit Synchronisationswortbereichen zusammenfallen, deren Symbole eine ausgeglichene Polarität besitzen, so daß der Mittelwert als Gleichspannungsanteil angesehen werden kann.

- 30 Beispielsweise wird nach dem Bluetooth-Standard eine Datenpaketerkennung auf der Basis eines 64-Bit-Synchronisationswortes durchgeführt, dem noch vier Bit einer Preamble hinzugefügt werden. Diese 4-Bit-Preamble und ein sogenannter Barker Code am Ende des Synchronisationswortes weisen gemäß dem Bluetooth-Standard eine garantiert ausgeglichene Polarität auf, erzeugen also keinen eigenen Gleichspannungsanteil in Fol-

- 1 ge einer Überzahl von Einsen oder Nullen, so daß der Mittelwert der entsprechenden Abtastwerte den Gleichspannungsanteil in dem Moment, in dem das Synchronisationswort und gegebenenfalls die 4-Bit Preamble in der erwarteten Weise vollständig in der Verzögerungsleitung 22 gespeichert sind, sehr genau wiedergibt.
5

Wie in Fig. 4 gezeigt ist, umfaßt der Paketdetektor 17 neben der Gleichspannungsanteil-Ermittlungsschaltung 30 (siehe Fig. 3) eine Korrelationsberechnungsanordnung 40 die neben der Dekodierschaltung 37 eine
10 Vergleichs- und Korrelationsberechnungsschaltung 41 aufweist.

Die Dekodierschaltung 37 umfaßt in nicht näher dargestellter Weise eine Vielzahl k von Subtrahierkreisen an die der Gleichspannungsanteil dc als zu subtrahierendes Signal angelegt wird, während die anderen Eingänge
15 der Subtrahierkreise jeweils mit einem der Speicherplätze 22.i der Verzögerungsleitung 22 verbunden sind, so daß als Eingangssignale $in(i)$ der Subtrahierkreise die jeweiligen Abtastwert h_i von den entsprechenden Speicherplätzen 22.i anliegen. Jeder der Subtrahierkreise liefert ein Ausgangssignal $out(i)$, das in Abhängigkeit vom Vorzeichen der Differenz
20 ($in(i) - dc$) 1 oder 0 ist.

Von den Speicherplätzen 22.i der Verzögerungsleitung 22 werden k Speicherplätzen 22.j dabei so ausgewählt, daß jedes Symbol im Eingangssignal S_{in} durch einen einzelnen Abtastwert h_j repräsentiert wird. Mit Hilfe der
25 Subtrahierkreise wird also für jedes Symbol im Eingangssignal S_{in} ein Abtastwert h_j mit dem Gleichspannungsanteil dc verglichen, um dem Symbol je nach dem, ob der Abtastwert größer oder kleiner als der Gleichspannungsanteil dc ist, also je nach dem, ob die Differenz ($in(i) - dc$) positiv oder negativ ist, den Bitwert 1 oder 0 zuzuordnen. Auf diese Weise wird also entschieden, ob ein Symbol im Eingangssignal S_{in} ein Bit mit dem Wert 1 oder
30 0 darstellt.

Anstelle der beschriebenen Subtrahierkreise, die als Vergleichskreise dienen, können auch Komparatoren eingesetzt werden, die ein Ausgangs-

1 signal 1 liefern, wenn der Abtastwert h_i und damit das Eingangssignal $in(i)$ größer als der Gleichspannungsanteil dc ist und die ein Ausgangssignal 0 für den Fall liefern, daß der Abtastwert h_i kleiner als der Gleichspannungsanteil dc ist.

5

Die Ausgangssignale $out(i)$ der Vergleichs- oder Subtrahierkreise der Dekodierschaltung 37 werden an eine Vielzahl von ersten Eingängen $in_1(i)$ der Vergleichs- und Korrelationsberechnungsschaltung 41 angelegt. Eine Anzahl k von zweiten Eingängen $in_2(i)$ ist mit zugeordneten Speicherplätzen eines Registers 42 verbunden, in dem das erwartete k -Bit-Synchronisationswort gespeichert ist.

10 In der Vergleichs- und Korrelationsberechnungsschaltung 41 werden jeweils die einander zugeordneten ersten und zweiten Eingängen $in_1(i)$ und $in_2(i)$ miteinander verglichen, um den Wert 1 zu liefern, wenn an beiden einander zugeordneten Eingängen jeweils eine 0

15 oder eine 1 anliegt. Stimmen die beiden Bitwerte an den einander zugeordneten Eingängen nicht überein, so wird der Wert 0 geliefert. Die von entsprechenden Vergleichskreisen für jedes der k Eingangspaare gelieferten Werte 1 oder 0 werden aufsummiert und als Korrelationswert c_v an eine in Fig. 5 dargestellte Korrelationswertvergleichsschaltung 43 geführt, die

20 den Korrelationswert c_v mit einem Korrelationsschwellenwert c_{th} vergleicht und die ein Paketerkennungssignal p_d liefert, wenn der Korrelationswert c_v größer als der Korrelationsschwellenwert c_{th} ist. Das Paketerkennungssignal p_d wird an die Empfangsschaltung 16 geliefert, um dieser anzuzeigen, daß ein für die jeweilige Empfangsstation bestimmtes Da-

25 tenpaket empfangen wird.

Während der normalen Empfangsbereitschaft arbeitet der erfundungs-
mäße Paketdetektor 17 wie folgt.

30 Sobald die Eingangsschaltung auf Empfang geschaltet wird, wird das am Eingangskreis 19 anliegende Eingangssignal S_{in} mit einer Abtastfrequenz f_{sample} abgetastet, um für jedes Symbol im Eingangssignal S_{in} eine Mehrzahl von Abtastwerten h_i zu erzeugen. Obwohl es denkbar ist, daß im Durchschnitt jedes Symbol mit einer nicht ganzzahligen Überabtastrate

1 kleiner als zwei abgetastet wird, ist es zweckmäßig, wenn jedes Symbol mit einer ganzzahligen Überabtastrate größer oder gleich zwei abgetastet wird, so daß für jedes Symbol wenigstens zwei Abtastwerte h_i ermittelt werden. In dem in Fig. 4 dargestellten Ausführungsbeispiel wird davon 5 ausgegangen, daß für jedes Symbol im Eingangssignal 3 Abtastwerte erfaßt und gespeichert werden. Die Verzögerungsleitung 22 umfaßt somit unter der Voraussetzung, daß beispielsweise nach dem Bluetooth Standard ein 64-Bit-Synchronisationswort mit einer zusätzlichen 4-Bit-Preambel überwacht werden soll $n = 204$ Speicherplätze 22.0 bis 22.203.

10

Gleichzeitig mit dem Beginn der Abtastung des Eingangssignals S_{in} wird von der Gleichspannungsanteil-Ermittlungsschaltung 30 ein Gleichspannungsanteil dc aus den Abtastwerten h_i berechnet, wobei zu jedem Zeitpunkt angenommen wird, daß bereits das vollständige Synchronisationswort empfangen wurde, selbst wenn dies noch nicht der Fall sein kann. Aufgrund des berechneten Gleichspannungsanteils dc wird der in der Verzögerungsleitung 22 gespeicherten Wellenform des Eingangssignals S_{in} ein k-Bit-Wort, also beispielsweise ein 64-Bit-Wort zugeordnet, das in der beschriebenen Weise mit dem im Register 42 von der Vergleichs- und Korrelationsberechnungsschaltung 41 gespeicherten 64-Bit-Synchronisationswort verglichen wird, um einen Korrelationswert c_v zu berechnen.

25

Durch eine geeignete Auswahl der mit der Dekodierschaltung verbundenen Speicherplätze 22.i lassen sich für die Korrelationsberechnung nur solche Abtastwerte berücksichtigen, die den Symbolen des mit dem 64-Bit-Synchronisationswort zuvergleichenden 64-Bit-Worts entsprechen. Für die Gleichspannungsanteilberechnung können jedoch auch Abtastwerte von vor und nach dem 64-Bit-Synchronisationswort empfangenen Symbolen, also insbesondere Abtastwerte der vier Symbole der Preamble 30 berücksichtigt werden.

Dieser Vorgang wird kontinuierlich nach jeder Abtastung zumindest so lange wiederholt, bis der Korrelationswert c_v größer als ein Korrelationsschwellenwert c_{th} ist. Dies ist dann der Fall, wenn das erwartete Synchro-

- 1 nisationswort vollständig empfangen wurde. In diesem Fall stimmt auch der ermittelte Gleichspannungsanteil dc mit dem dem Eingangssignal in Folge von Störeinflüssen oder Toleranzabweichungen überlagerte Gleichspannungsanteil genau überein, so daß eine zuverlässige Zuordnung der
- 5 Bits zu den Symbolen des Eingangssignals S_{in} erfolgen kann.

Nach dem ersten Erzeugen eines Paketerkennungssignals werden der entsprechende Korrelationswert c_v gespeichert und die Abtastung des Eingangssignals S_{in} , die Berechnung des Gleichspannungsanteils dc sowie

- 10 der Vergleich des dem Eingangssignal entsprechenden k-Bit-Worts mit dem erwarteten Synchronisationswort noch für eine gewisse Zeit für den Fall fortgesetzt, daß eine hohe Nebenmodulation ein vorzeitiges Überschreiten der Korrelationsschwelle zur Folge hat. Tritt während einer vor gebaren Zeitdauer, die programmierbar ist, ein Korrelationswert c_v auf,
- 15 der nicht nur den Korrelationsschwellenwert c_{th} sondern auch den vorherigen, gespeicherten Korrelationswert c_v übersteigt, so wird erneut ein Paketerkennungssignal erzeugt und der dazu gehörige Gleichspannungswert dc wird für die weitere Verarbeitung des Eingangssignals S_{in} übernom men, während die vorherigen Werte verworfen werden.

20

25

30

Patentansprüche

- 1 1. Verfahren zum Erkennen eines Datenpakets in einem Datenstrom, bei dem
 - der Gleichspannungsanteil (d_c) für ein demoduliertes, digitales Eingangssignal (S_{in}) berechnet wird,
- 5 - dem Eingangssignal (S_{in}) ein k-Bit-Wort zugeordnet wird, indem für jedes einem Bit entsprechende Symbol des Eingangssignals (S_{in}) ein Bitwert (1 oder 0) in Abhängigkeit vom Gleichspannungsanteil (d_c) bestimmt wird,
- das dem Eingangssignal (S_{in}) entsprechende k-Bit-Wort mit einem erwarteten k-Bit-Synchronisationswort verglichen wird, um einen Korrelationswert (c_v) zu bestimmen, und
- 10 - ein Paketerkennungssignal (p_d) erzeugt wird, wenn der Korrelationswert (c_v) größer als ein Korrelationsschwellenwert (c_{th}) ist.
- 15 2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Berechnung des Gleichspannungsanteils (d_c)
 - das Eingangssignal (S_{in}) abgetastet wird, um eine dem Eingangssignal (S_{in}) entsprechende Folge von Abtastwerten (h_i) zu erzeugen, und
 - aus einer ausgewählten Anzahl (l) von Abtastwerten (h_i) der Gleichspannungsanteil (d_c) des Eingangssignals (S_{in}) berechnet wird.
- 20 3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß der Gleichspannungsanteil (d_c) des Eingangssignals (S_{in}) nach jeder Abtastung des Eingangssignals (S_{in}) zumindest solange neu berechnet wird, bis der durch Vergleich des dem Eingangssignal (S_{in}) entsprechenden k-Bit-Worts mit einem erwarteten k-Bit-Synchronisationswort ermittelte Korrelationswert (c_v) größer als der Korrelationsschwellenwert (c_{th}) ist.
- 25 4. Verfahren nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß
 - nach dem Erzeugen eines Paketerkennungssignals (p_d) der entsprechende Korrelationswert (c_v) gespeichert und die Abtastung des Eingangssignals (S_{in}), die Berechnung des Gleichspannungsanteils (d_c) sowie der Vergleich des dem Eingangssignal (S_{in}) entsprechenden k-Bit-Worts mit einem erwarteten k-Bit-Synchronisationswort zum Ermitteln des Korrela-

- 1 tionswert (c_v) noch für eine vorgebbare Zeitdauer fortgesetzt wird, und
 - nochmals ein Paketerkennungssignal (p_d) erzeugt wird, wenn ein erneut ermittelter Korrelationswert (c_v) größer als der Korrelationsschwellenwert (c_{th}) und größer als der zuvor ermittelte, gespeicherte Korrelationswert (c_v) ist.
- 5
- 10 5. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß zum Bestimmen des dem Eingangssignal (S_{in}) entsprechenden k-Bit-Worts
 - das Eingangssignal (S_{in}) abgetastet wird, um eine dem Eingangssignal (S_{in}) entsprechende Folge von Abtastwerten (h_i) zu erzeugen, und
 - jedem Abtastwert (h_i) einer ausgewählten Vielzahl (k) von Abtastwerten (h_i) in Abhängigkeit vom Gleichspannungsanteil (dc) des Eingangssignals (S_{in}) ein Bitwert (1 oder 0) zugeordnet wird.
- 15
- 20 6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß
 - das Eingangssignal (S_{in}) mit einer Frequenz (f_{sample}) abgetastet wird, die so gewählt ist, daß die Überabtastrate (s_r) wenigstens gleich zwei ist ($s_r \geq 2$), daß also für jedes Symbol wenigstens zwei Abtastwerte (h_i) ermittelt werden, und
 - zum Bilden des dem Eingangssignal (S_{in}) entsprechenden k-Bit-Worts jeweils nur ein Abtastwert (h_i) pro Symbol ausgewählt wird.
- 25
- 30 7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, daß die Vielzahl (k) von Abtastwerten (h_i) zum Bilden des dem Eingangssignal (S_{in}) entsprechenden k-Bit-Worts so aus der Folge von Abtastwerten (h_i) ausgewählt wird, daß die ausgewählten Abtastwerte (h_i) innerhalb der Folge jeweils im wesentlichen den gleichen Abstand voneinander haben.
8. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß
 - die Anzahl (l) von Abtastwerten (h_i) zum Berechnen des Gleichspannungsanteils (dc) des Eingangssignals (S_{in}) so gewählt wird, daß die

- 1 Abtastwerte (h_i) Bereichen im erwarteten k-Bit-Synchronisationswort entsprechen, die im wesentlichen die gleiche Anzahl von Bits mit dem Wert "0" und Bits mit dem Wert "1" aufweisen, und
 - der Gleichspannungsanteil (dc) als Mittelwert der Abtastwerte (h_i) berechnet wird.
- 5

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß die Anzahl (l) von Abtastwerten (h_i) zum Berechnen des Gleichspannungsanteils (dc) aus zumindest einer Gruppe von unmittelbar aufeinander folgenden Abtastwerten (h_i) besteht, die mehreren aufeinander folgenden Symbolen entsprechen.
- 10

10. Verfahren nach Anspruch 8 oder 9, dadurch gekennzeichnet, daß die Anzahl (l) von Abtastwerten (h_i) zum Berechnen des Gleichspannungsanteils (dc) aus zwei Gruppen von Abtastwerten (h_i) besteht, die durch eine Vielzahl von Abtastwerten (h_i) von einander getrennt ist.
- 15

11. Vorrichtung zum Erkennen von Datenpaketen in einem Datenempfangsstrom mit:
 - 20 - einer Verzögerungsleitung (22), die eine Anzahl (n) von Speicherplätzen (22.i) aufweist, in denen Abtastwerte (h_i) eines demodulierten digitalen Eingangssignals (S_{in}) seriell gespeichert werden,
 - einer Gleichspannungsanteil-Ermittlungsschaltung (30), die mit der Verzögerungsleitung (22) verbunden ist, um einen Gleichspannungsanteil (dc) des Eingangssignals (S_{in}) als Mittelwert einer ausgewählten Anzahl (l) von Abtastwerten (h_i) zu berechnen,
 - einer mit der Verzögerungsleitung (22) und der Gleichspannungsanteil-Ermittlungsschaltung (30) verbundenen Dekodierschaltung (37), die eine Vielzahl (k) von Abtastwerten (h_i) mit dem Gleichspannungsanteil (dc) vergleicht, um jedem Abtastwert (h_i) einen Bitwert (0 oder 1) zuzuordnen und so ein dem Eingangssignal (S_{in}) entsprechendes k-Bit-Wort zu bilden,
 - einer Vergleichs- und Korrelationsberechnungsschaltung (41), die das dem Eingangssignal (S_{in}) entsprechende k-Bit-Wort mit einem erwar-
- 25
- 30

- 1 teten k-Bit-Synchronisationswort vergleicht und einen Korrelationswert (c_v) für das dem Eingangssignal (S_{in}) entsprechende k-Bit-Wort berechnet, und
 - einer Korrelationswertvergleichsschaltung (43), die den von der Vergleichs- und Korrelationsberechnungsschaltung (41) gelieferten Korrelationswert (c_v) mit einem Korrelationsschwellenwert (c_{th}) vergleicht, um ein Paketerkennungssignal (p_d) zu liefern, wenn der Korrelationswert (c_v) größer oder gleich dem Korrelationsschwellenwert (c_{th}) ist.
- 5 10 12. Vorrichtung nach Anspruch 11, dadurch gekennzeichnet, daß die Anzahl (n) von Speicherplätzen (22.i) der Verzögerungsleitung (22), der Anzahl (k) von Bits im k-Bit-Synchronisationswort multipliziert mit der Überabtastrate (s_r), also mit der Anzahl von Abtastwerten (h_i) pro Symbol, entspricht.
- 15 13. Vorrichtung nach Anspruch 11 oder 12, dadurch gekennzeichnet, daß die Dekodierschaltung (37) eine Vielzahl (k) von Vergleichskreisen umfaßt, an die jeweils der Gleichspannungsanteil (dc) angelegt ist und von denen jeder mit einem der Speicherplätze (22.i) der Verzögerungsleitung (22) verbunden ist, um den jeweiligen Abtastwert (h_i) mit dem Gleichspannungsanteil (dc) zu vergleichen und einen Bitwert (1 oder 0) zu ermitteln, so daß an Ausgängen (out(i)) der Dekodierschaltung das dem Eingangssignal (S_{in}) entsprechende k-Bit-Wort anliegt.
- 20 25 14. Vorrichtung nach Anspruch 11, 12 oder 13, dadurch gekennzeichnet, daß die Gleichspannungsanteil-Ermittlungsschaltung (30) zumindest einen Addierkreis (33) und eine über ein Halteglied (34) mit dem Ausgang des Addierkreises (33) verbundene Dividierschaltung (36) aufweist, wobei
- 30 - ein Eingang des Addierkreises (33) mit einem ersten Speicherplatz (22.m₁, 22.m₃) der Verzögerungsleitung (22) und ein anderer Eingang mit einem zweiten Speicherplatz (22.m₂, 22.m₄) der Verzögerungsleitung (22) verbunden ist, der durch eine Vielzahl von Speicherplätzen (22.i) vom ersten Speicherplatz (22.m₁, 22.m₃) getrennt ist,

- 1 - der Eingang, der mit dem zweiten Speicherplatz (22.m₂, 22.m₄) verbunden ist, negiert ist, und

- der Ausgang des Addierkreises (33) über das Halteglied (34) an einen dritten Eingang zurückgeführt ist, so daß bei jeder Addition das Ergebnis

5 der vorhergehenden Addition mit addiert wird, und wobei

- die vom Haltekreis (34) gelieferte Summe in der Dividierschaltung durch einen dem Abstand der Speicherplätze (22.m₁, 22.m₃; 22.m₂, 22.m₄) entsprechende Wert ($m_1 - m_2$; $m_3 - m_4$) geteilt wird, um den Gleichspannungsanteil (dc) zu berechnen.

10

15. Vorrichtung nach Anspruch 14, dadurch gekennzeichnet, daß zwei mit Speicherplätzen (22.m₁, 22.m₃; 22.m₂, 22.m₄) der Verzögerungsleitung (22) verbundene Addierkreise (33) vorgesehen sind, deren Ausgangssignale über einen weiteren Addierkreis (35) an die Dividierschaltung (36) geliefert werden.

15

16. Vorrichtung nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß die mit der Dekodierschaltung (37) und einem das erwartete k-Bit-Synchronisationswort speichernden Register (42) verbundene Vergleichs- und Korrelationsberechnungschaltung (41)neben einer Vielzahl (k) von Vergleichskreisen zum Vergleichen des von der Dekodierschaltung (37) gelieferten, dem Eingangssignal entsprechenden k-Bit-Wort mit dem k-Bit-Synchronisationswort ein Korrelationsglied aufweist, das für jedes übereinstimmende Bit-Paar eine Eins aufaddiert, um den Korrelationswert (c_v) zu berechnen.

20

25

Zusammenfassung**Verfahren und Vorrichtung zum Erkennen eines Datenpakets in einem Datenstrom**

- 1 Die Erfindung betrifft ein Verfahren und eine Vorrichtung zum Erkennen eines Datenpakets in einem Datenstrom, bei dem mittels einer Gleichspannungsanteil-Ermittlungsschaltung (30) der Gleichspannungsanteil (dc) für ein demoduliertes, digitales Eingangssignal (S_{in}) berechnet wird,
- 5 bei dem dem Eingangssignal (S_{in}) ein k-Bit-Wort zugeordnet wird, indem von einer Dekodierschaltung (37) für jedes einem Bit entsprechende Symbol des Eingangssignals (S_{in}) ein Bitwert (1 oder 0) in Abhängigkeit vom Gleichspannungsanteil (dc) bestimmt wird, bei dem das dem Eingangssignal (S_{in}) entsprechende k-Bit-Wort von einer Vergleichs- und Korrelationsberechnungsschaltung (41) mit einem erwarteten k-Bit-Synchronisationswort verglichen wird, um einen Korrelationswert (c_v) zu bestimmen, und bei dem ein Paketerkennungssignal (p_d) von einer Korrelationswertvergleichsschaltung (43) erzeugt wird, wenn der Korrelationswert (c_v) größer als ein Korrelationsschwellenwert (c_{th}) ist. Die Berechnung des Gleichspannungsanteils (dc) wird dabei zumindest solange fortlaufend wiederholt, bis ein Paketerkennungssignal (p_d) anzeigt, daß ein Datenpa-
10 ket empfangen wird.
- 10
- 15

(Fig. 4)

20

25

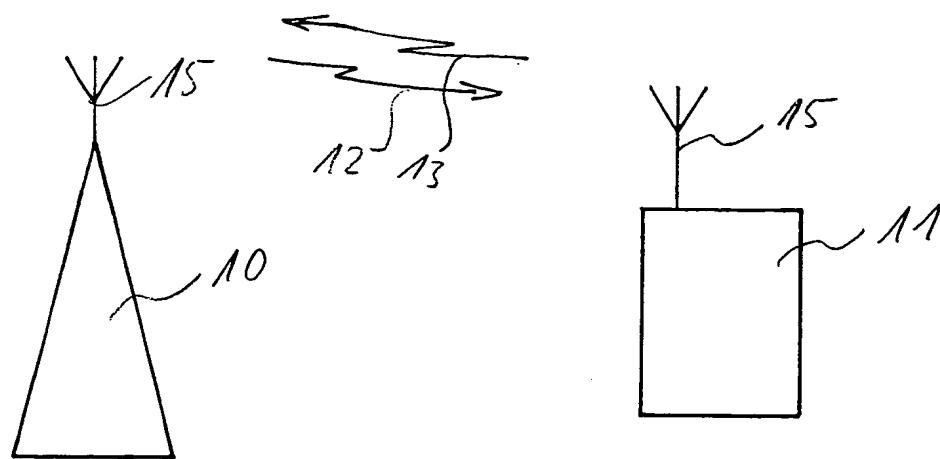


Fig. 1

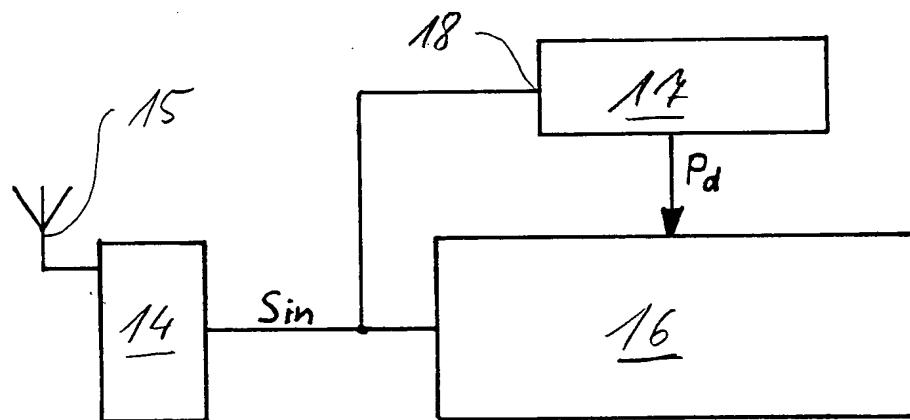


Fig. 2

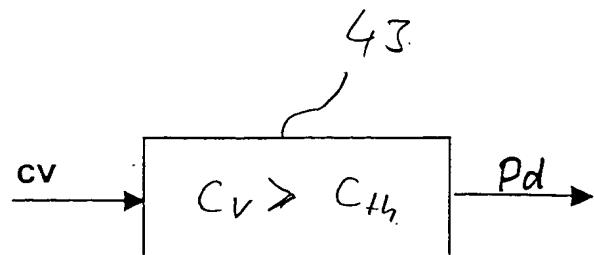


Fig. 5

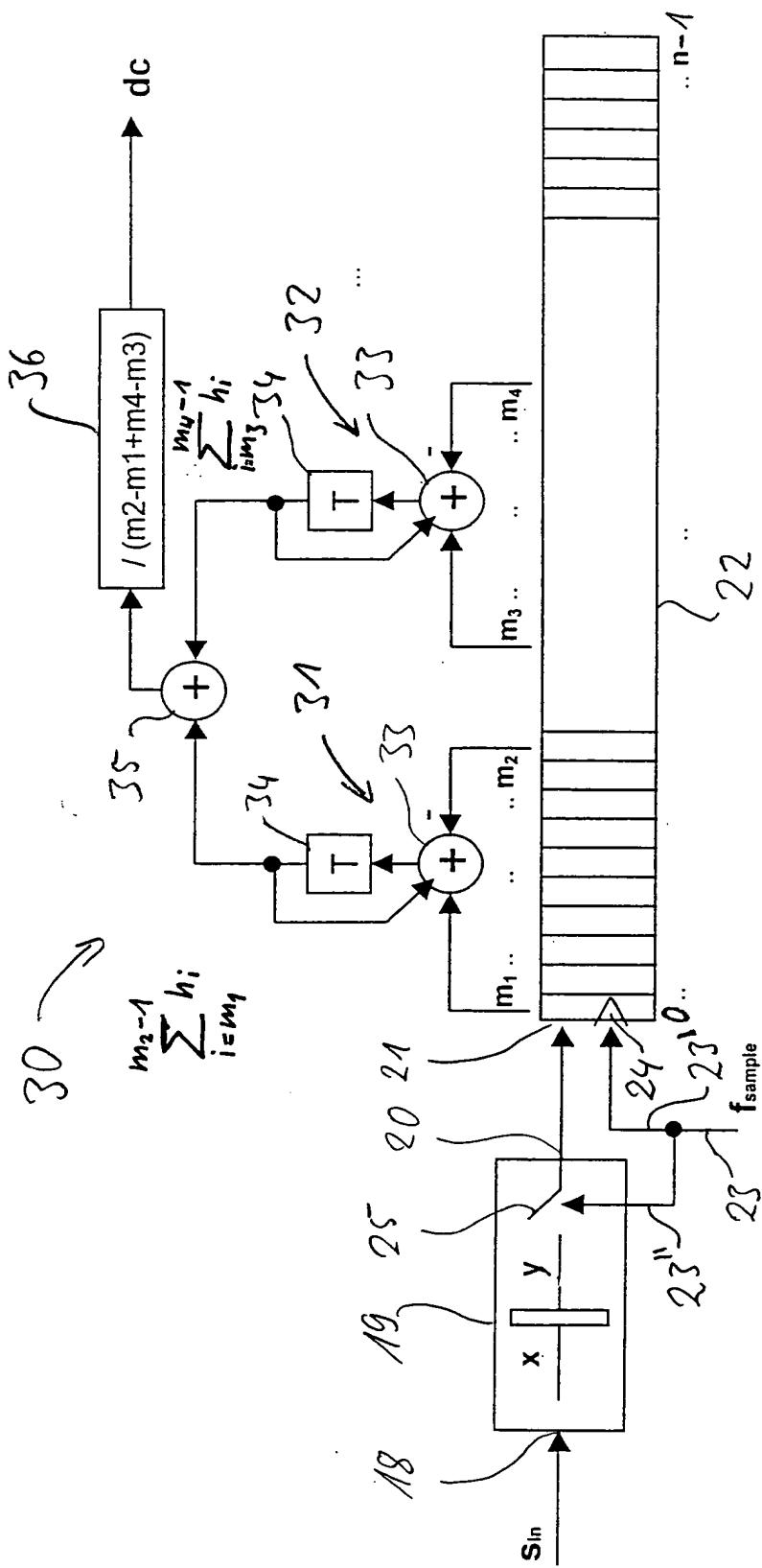


Fig. 3

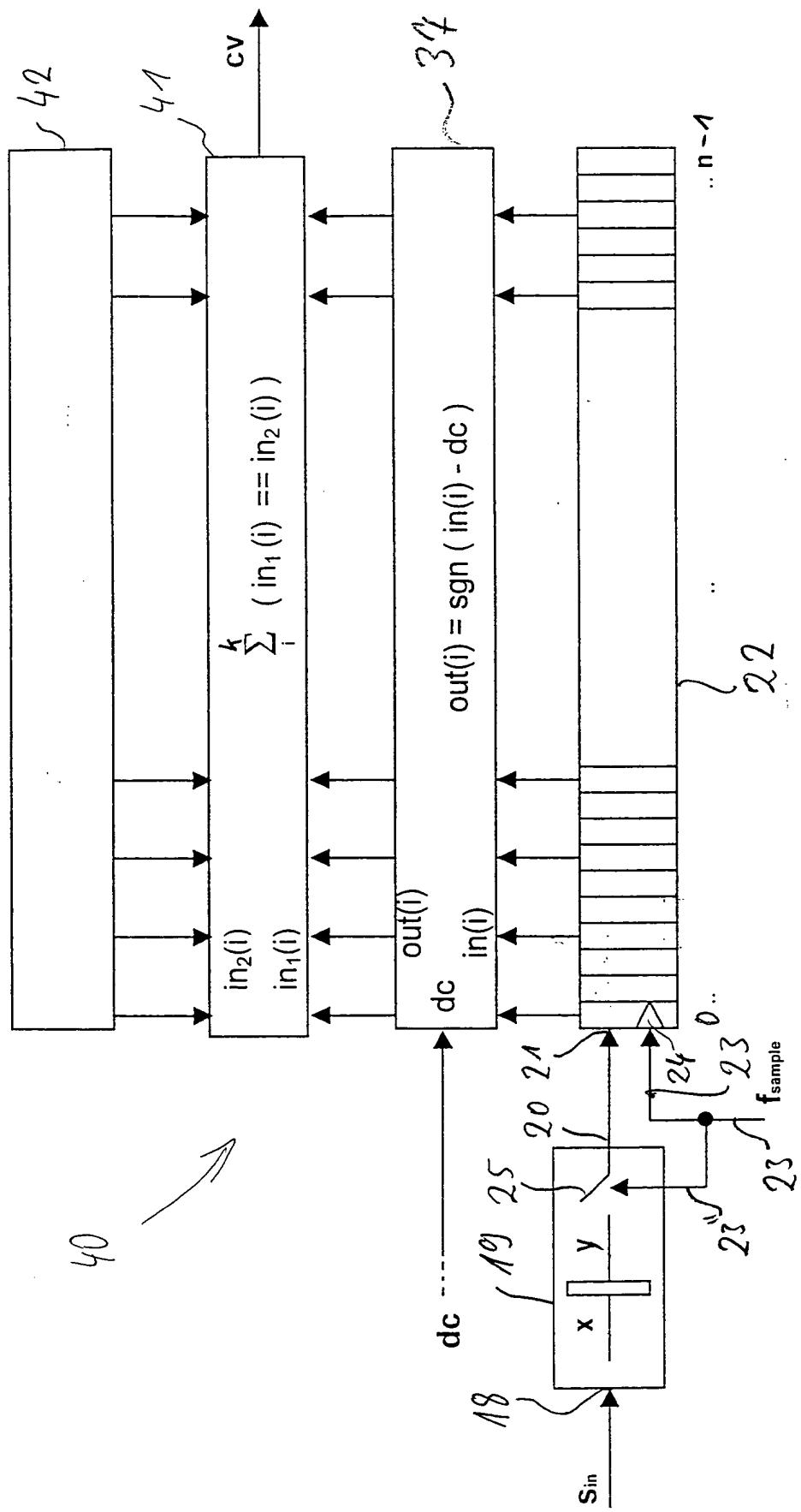


Fig. 4

Figur für Zusammenfassung:

